

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
30. Mai 2002 (30.05.2002) ✓✓✓

PCT

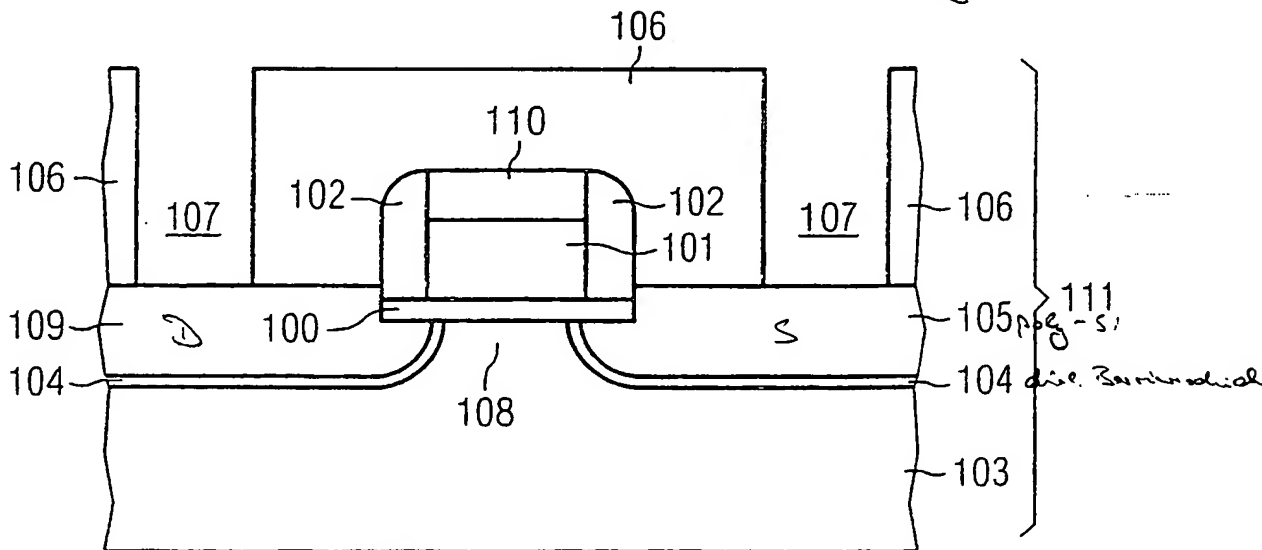
(10) Internationale Veröffentlichungsnummer
WO 02/43109 A2

- (51) Internationale Patentklassifikation⁷: **H01L** (72) Erfinder; und
(21) Internationales Aktenzeichen: **PCT/DE01/04358** (75) Erfinder/Anmelder (nur für US): **HOFMANN, Franz**
(22) Internationales Anmeldedatum: **21. November 2001 (21.11.2001)** [DE/DE]; Herbergstrasse 25B, 80995 München (DE).
RISCH, Lothar [DE/DE]; Tizianstr. 27, 85579 Neubiberg
(25) Einreichungssprache: **Deutsch** (DE). **ROESNER, Wolfgang** [DE/DE]; Sudetenstrasse
(26) Veröffentlichungssprache: **Deutsch** (74) Anwalt: **VIERING, JENTSCHURA & PARTNER;**
Steinsdorfstr. 6, 80538 München (DE).
(30) Angaben zur Priorität: **100 57 704.0** 21. November 2000 (21.11.2000) **DE** (81) Bestimmungsstaaten (national): **JP, KR, US.**
(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von **US**): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE). (84) Bestimmungsstaaten (regional): europäisches Patent (AT,
BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING A PLANAR FIELD EFFECT TRANSISTOR AND A PLANAR FIELD EFFECT TRANSISTOR

(54) Bezeichnung: VERFAHREN ZUM HERSTELLEN EINES PLANAREN FELDEFFEKTTRANSISTORS UND PLANARER FELDEFFEKTTRANSISTOR



(57) Abstract: The invention relates to a planar field effect transistor comprising a barrier layer that lies adjacent to and/or below part of the gate region. Said barrier layer is configured between the source region and the channel region and/or between the drain region and the channel region in such a way that there is practically no diffusion of the doping atoms from the source region and the drain region into the channel region, but that electric charge carriers can tunnel through the barrier layer.

[Fortsetzung auf der nächsten Seite]

WO 02/43109 A2

**Veröffentlicht:**

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Ein planarer Feldeffekttransistor weist eine Barrierschicht neben dem Gate-Bereich und/oder unter einem Teil des Gate-Bereichs auf, wobei die Barrierschicht zwischen dem Source-Bereich und dem Kanalbereich und/oder zwischen dem Drain-Bereich und dem Kanalbereich derart ausgestaltet ist, dass im wesentlichen kein Diffundieren der sich in dem Source-Bereich und dem Drain-Bereich befindlichen Dotieratome in den Kanalbereich erfolgen kann, jedoch ein Tunneln elektrischer Ladungsträger durch die Barrierschicht möglich ist.

Beschreibung

Verfahren zum Herstellen eines planaren Feldeffekttransistors und planarer Feldeffekttransistor

5

Die Erfindung betrifft ein Verfahren zum Herstellen eines planaren Feldeffekttransistors und einen planaren Feldeffekttransistor.

- 10 Ein Feldeffekttransistor ist aus [1] bekannt. Der Feldeffekttransistor aus [1] ist ein vertikaler Feldeffekttransistor, bei dem ein Gate-Bereich senkrecht zur Richtung des Elektronenflusses zwischen einem Source-Bereich und einem Drain-Bereich angeordnet ist. Der
- 15 Feldeffekttransistor aus [1] weist einen Source-Bereich, einen Drain-Bereich, einen Gate-Bereich sowie einen Kanalbereich auf, wobei alle Bereiche aus Polysilizium hergestellt sind. Zwischen dem Source-Bereich und dem Kanalbereich ist eine erste elektrisch isolierende Schicht
- 20 aus Nitrid (erste Tunnelbarriere) ausgebildet. Ferner ist zwischen dem Drain-Bereich und dem Kanalbereich eine zweite elektrisch isolierende Schicht aus Nitrid (zweite Tunnelbarriere) ausgebildet. Die erste elektrisch isolierende Schicht und die zweite elektrisch isolierende Schicht weisen
- 25 jeweils eine Dicke von ungefähr 2 nm auf.

- Häufig ist es insbesondere hinsichtlich der elektrischen Eigenschaften des Kanalbereichs wünschenswert, dass insbesondere der Kanalbereich aus monokristallinem Silizium
- 30 hergestellt wird.

- Die Ausbildung eines Kanalbereichs aus monokristallinem Silizium ist bei dem Herstellungsverfahren aus [1] nicht möglich, insbesondere da die Nitridschichten in dem
- 35 Herstellungsverfahren aus [1] gemeinsam mit polykristallinem Silizium hergestellt werden können.

Weiterhin ist eine Übersicht über Oxynitride in [2] zu finden.

[3] beschreibt einen Feldeffekttransistor sowie ein
5 Herstellungsverfahren zum Herstellen des
Feldeffekttransistors, wobei die Source-/Drain-Bereiche als
dotierte, monokristalline Siliziumbereiche ausgestaltet sind.
Das Herstellungsverfahren gemäß [3] ist relativ aufwendig und
somit teuer.

10

In [4] ist ferner ein planarer Feldeffekttransistor
beschrieben mit einer Barrierschicht, wobei die
Barrierschicht zwischen dem Source-Bereich und dem
Kanalbereich und/oder zwischen dem Drain-Bereich und dem
15 Kanalbereich derart ausgebildet ist, dass kein Tunneln
elektrischer Ladungsträger durch die Barrierschicht in das
Substrat möglich ist.

Somit liegt der Erfindung das Problem zugrunde, einen
20 Feldeffekttransistor mit jeweils einer elektrisch
isolierenden Schicht zwischen dem Source-Bereich und dem
Kanalbereich bzw. dem Drain-Bereich und dem Kanalbereich
anzugeben, bei dem der Kanalbereich aus monokristallinem
Silizium hergestellt sein kann.

25

Das Problem wird gelöst durch ein Verfahren zum Herstellen
eines planaren Feldeffekttransistors und durch einen planaren
Feldeffekttransistor mit den Merkmalen gemäß den unabhängigen
Patentansprüchen.

30

Ein Verfahren zum Herstellen eines planaren
Feldeffekttransistors weist folgende Schritte auf:

- Bilden einer isolierenden Schicht auf einem Substrat;
- Bilden eines Gate-Bereichs auf der isolierenden Schicht;
- 35 • Bilden mindestens eines Spacers auf der isolierenden
Schicht;

- Bilden einer Barriereschicht neben der isolierenden Schicht und/oder unter einem Teil der isolierenden Schicht;
- Abscheiden eines Source-Bereichs auf der einen Seite des Gate-Bereichs und Abscheiden eines Drain-Bereichs auf der anderen Seite des Gate-Bereichs und eines Kanalbereichs unterhalb der isolierenden Schicht zwischen dem Source-Bereich und dem Drain-Bereich; und
- Bilden einer Barriereschicht zwischen dem Source-Bereich und dem Kanalbereich und/oder zwischen dem Drain-Bereich und dem Kanalbereich derart, dass im Wesentlichen kein Diffundieren der sich in dem Source-Bereich und dem Drain-Bereich befindlichen Dotier-Atome in den Kanalbereich erfolgen kann, jedoch ein Tunneln elektrischer Ladungsträger durch die Barriereschicht in den Kanalbereich und in das Substrat möglich ist.

Das Problem wird ferner gelöst durch einen planaren Feldeffekttransistor mit

- einem elektrisch leitenden Substrat,
- einem Drain-Bereich,
- einem Source-Bereich,
- einem Kanalbereich zwischen dem Drain-Bereich und dem Source-Bereich,
- einem Gate-Bereich auf der isolierenden Schicht, wobei auf der isolierenden Schicht mindestens ein Spacer angeordnet ist,
- einer isolierenden Schicht zwischen dem Gate-Bereich und dem Substrat
- einer Barriereschicht neben dem Gate-Bereich und/oder unter einem Teil des Gate-Bereichs,
- wobei die Barriereschicht zwischen dem Source-Bereich und dem Kanalbereich und/oder zwischen dem Drain-Bereich und dem Kanalbereich derart ausgestaltet ist, dass im wesentlichen kein Diffundieren der sich in dem Source-Bereich und dem Drain-Bereich befindlichen Dotieratome in den Kanalbereich erfolgen kann, jedoch ein Tunneln

elektrischer Ladungsträger durch die Barrierschicht in den Kanalbereich und in das Substrat möglich ist.

Bei dem planaren Feldeffekttransistor handelt es sich
5 anschaulich um eine Modifikation eines bekannten planaren MOSFET (Metal Oxide Semiconductor Field Effect Transistor), bei dem eine dünne Barrierschicht aus einem dielektrischen Material zwischen dem Source-Bereich bzw. Drain-Bereich und dem dazwischen liegenden Kanalbereich angeordnet ist.

10 Insbesondere aufgrund des Vorsehens eines planaren Feldeffekttransistors und der entsprechenden Vorgehensweise beim Herstellen des planaren Feldeffekttransistors wird es nunmehr erstmals möglich, den Kanalbereich aus
15 monokristallinem Silizium herzustellen, was erhebliche Vorteile in den elektrischen Eigenschaften mit sich bringt. Insbesondere durch die Verwendung von monokristallinem Silizium in dem Kanalbereich wird die Beweglichkeit der elektrischen Ladungsträger in dem Kanalbereich im Vergleich
20 zu einem Kanalbereich, der aus polykristallinem Silizium gebildet wird, um bis zu einem Faktor 100 und mehr verbessert.

Gemäß einer Ausgestaltung der Erfindung ist es somit
25 vorgesehen, den Kanalbereich aus monokristallinem Silizium herzustellen.

Im Rahmen der Erfindung ist unter dem Ausdruck "dünn" eine Barrierschichtdicke von vorzugsweise weniger als ungefähr
30 2 nm zu verstehen, vorzugsweise von weniger als ungefähr 1 nm.

Gleichzeitig wird zusätzlich durch die Barrierschicht erreicht, dass die sich in den Source- und Drain-Bereichen
35 befindlichen Dotieratome nicht aufgrund der zum Dotieren notwendigen Schritte bei hoher Temperatur in den dazwischenliegenden Kanalbereich des Substrats hinein

diffundieren. Ein solches Diffundieren in den Kanalbereich würde zu einem Verlaufen der Dotierprofile zwischen dem Kanalbereich und dem Source-Bereich bzw. Drain-Bereich und daher zu einer Verschlechterung der Steuerbarkeit des für die Schaltfähigkeit des Transistors unerlässlichen Kanalbereichs führen.

Des weiteren ermöglicht die planare Anordnung des erfindungsgemäßen planaren Feldeffekttransistors eine erhöhte Flexibilität hinsichtlich des Aufbaus des Feldeffekttransistors.

Beispielsweise ist es, wie untenstehend ausführlich beschrieben, möglich, je nach verwendetem Ätzverfahren die Barrierschicht

- nur neben der isolierenden Schicht des Gate-Komplexes,
- nur unter der isolierenden Schicht des Gate-Komplexes oder
- neben und unter der isolierenden Schicht des Gate-Komplexes auszubilden.

Gegenüber dem in [1] beschriebenen, vertikalen Feldeffekttransistor mit Barrierschichten, bei dem es erforderlich ist, jede Schicht des Transistors mittels eines getrennten Verfahrensschrittes aufzubauen, ist es beispielsweise bei dem erfindungsgemäßen planaren Feldeffekttransistor möglich, mehrere Komponenten des Transistors, wie zum Beispiel Barrierschichten auf beiden Seiten der Isolierschicht sowie den Source-Bereich und den Drain-Bereich auf beiden Seiten der Isolierschicht gleichzeitig, beispielsweise durch ein einziges Abscheideverfahren, zu bilden. Dadurch wird gegenüber dem Stand der Technik ein hohes Maß an Gleichmäßigkeit hinsichtlich der Dicke und der genauen Zusammensetzung der erfindungsgemäßen Barrierschicht sowie des Source-Bereichs und des Drain-Bereichs gewährleistet.

Gemäß einer Weiterbildung der Erfindung ist es für den Fall, dass die Barrierschicht neben und unter einem Teil der isolierenden Schicht gebildet werden soll, vorgesehen, das Substrat vor dem Bilden der Barrierschicht neben und teilweise unter der isolierenden Schicht isotrop wegzuätzen.

Gemäß einer anderen Weiterbildung der Erfindung ist es für den Fall, dass die Barrierschicht nur unter einem Teil der isolierenden Schicht gebildet werden soll, vorgesehen, das Substrat vor dem Bilden der Barrierschicht neben und teilweise unter der isolierende Schicht isotrop wegzuätzen.

Die Barrierschicht wird vorzugsweise in einer Dicke von 1 nm oder weniger gebildet wird.

Der Spacer kann aus SiO_2 gebildet werden, beispielsweise mittels eines TEOS-, Silanoxid-, LTO-, SACVD-, HTO-, PECVD- oder eines Dep./Etch-Abscheideverfahrens.

Gemäß einer Ausgestaltung der Erfindung wird der Spacer in einer Dicke von höchstens 50 nm, vorzugsweise in einer Dicke von höchstens 10 nm, gebildet.

Gemäß einer Ausgestaltung der Erfindung wird die Barrierschicht aus einem dielektrischen Material gebildet, vorzugsweise aus einem Oxynitrid, beispielsweise einem in [2] beschriebenen Oxynitrid.

Gemäß einer weiteren Ausgestaltung der Erfindung wird die Barrierschicht aus SiO_2 oder Si_3N_4 gebildet.

Ausführungsbeispiele der Erfindung sind in den Figuren dargestellt und werden im Weiteren näher erläutert.

Es zeigen

Figuren 1a bis 1c einen Zeitablauf eines
Herstellungsverfahrens gemäß einem ersten
Ausführungsbeispiel der Erfindung,

- 5 Figur 2 eine schematische Darstellung eines zweiten
Ausführungsbeispiels der Erfindung in
fertiggestelltem Zustand, und

- 10 Figur 3 ein weiteres Ausführungsbeispiel der Erfindung in
fertiggestelltem Zustand.

Fig.1a bis Fig.1c sind als Zeitablauf eines
Herstellungsverfahrens eines erfindungsgemäßen planaren
Feldeffekttransistors zu verstehen.

15

Wie in Fig.1a gezeigt ist, wird zunächst auf einem Substrat
103 eine isolierende Schicht 100 gebildet.

- 20 Das Substrat 103 besteht vorzugsweise aus einem für den
Aufbau eines planaren Feldeffekttransistors geeigneten
Material, bevorzugt aus monokristallinem Silizium.

- 25 Die isolierende Schicht 100, auch als Gate-Oxid (GOX)
bezeichnet, besteht aus einem elektrisch isolierenden
Material, wie beispielsweise Siliziumdioxid, und wird auf dem
Substrat 103 beispielsweise durch einen für den Aufbau
solcher planaren Feldeffekttransistoren bekannten Vorgang,
wie beispielsweise durch thermische Oxidation gebildet.

- 30 Sodann wird der Gate-Bereich 101 als eine Schicht leitfähigen
Materials, wie beispielsweise Polysilizium auf der
isolierenden Schicht 100 gebildet. Das für diesen Zweck
verwendete Silizium ist gemäß diesem Ausführungsbeispiel mit
Phosphor dotiert.

35

Das Bilden des Gate-Bereichs 101 auf der isolierenden Schicht 100 erfolgt in bekannter Weise mit Hilfe von Photolithografie und anisotropem Reaktiven Ionenätzen.

- 5 Das Bilden des Gate-Bereichs 101 auf der isolierenden Schicht 100 erfolgt gemäß diesem Ausführungsbeispiel derart, dass eine Schicht aus Siliziumdioxid auf dem Substrat aufgebracht wird. Auf die Schicht aus Siliziumdioxid, die später die isolierende Schicht 100 bildet, wird eine Schicht aus
10 Polysilizium aufgebracht, vorzugsweise mittels eines Abscheideverfahrens (CVD-Verfahrens) aus der Gasphase, vorzugsweise mittels eines Niederdruck-CVD-Verfahrens.

- In einem weiteren Schritt wird die Polysiliziumschicht mit
15 Phosphoratomen dotiert.

- Ferner wird auf die Schicht aus Polysilizium in einem weiteren Prozessschritt eine TEOS-Schicht aufgebracht (TEOS: Tetra-Ethyl-Ortho-Silicate).
20

Anschließend wird mittels Fotolithographie der spätere Gate-Bereich strukturiert.

- Anschließend werden die TEOS-Schicht und die Schicht aus
25 Polysilizium geätzt derart, dass ein Bereich oberhalb der isolierenden Schicht 100 übrig bleibt, so dass jeweils seitlich neben den nicht weggeätzten Teilen der TEOS-Schicht und der Schicht aus Polysilizium oberhalb der isolierenden Schicht 100 Raum gebildet wird für in weiteren Schritten
30 gebildete Spacer.

- In einem weiteren Schritt wird eine weitere TEOS-Schicht ganzflächig aufgebracht und die Spacer 102 gebildet, indem die TEOS-Schicht sowie die freigelegten Teile der
35 isolierenden Schicht 100 ganzflächig anisotrop bis auf das Substrat 103 zurückgeätzt werden, so dass nur die Spacer 102 bestehen bleiben.

Der fertiggestellte Gate-Komplex 100-102 ist aus Fig.1a ersichtlich. Dieser wird durch die isolierenden Schicht 100, den Gate-Bereich 101 und den Spacer 102 gebildet.

5

Nach dem Bilden des fertiggestellten Gate-Komplexes 100-102 wird gemäß eines Ausführungsbeispiels des Verfahrens das Substrat 103 beidseitig dieses Gate-Komplexes 100-102 isotrop weggeätzt, so dass sowohl neben als auch unter einem Teil des Gate-Komplexes 100-102 ein Bereich des Substrats 103 ausgehöhlt wird.

Gemäß diesem Ausführungsbeispiel der Erfindung ist es vorgesehen, dass das Substrat 103 isotrop, d.h. nicht anisotrop weggeätzt wird. Auf diese Weise wird gewährleistet, dass es zu einer Unterätzung unterhalb eines Teils der isolierenden Schicht 100 kommt. Diese weggeätzten Aussparungen 110 beidseitig des Gate-Komplexes 100-102 werden letztendlich als der Source-Bereich bzw. der Drain-Bereich des fertiggestellten planaren Feldeffekttransistors 111 dienen.

Auf der sich durch das Wegätzen des Substrats 103 ergebende Oberfläche des Substrats 103 wird dann eine dünne, dielektrische Schicht 104 aufgebracht.

Diese dünne, dielektrische Schicht 104 dient als die eingangs erwähnte Barrierschicht, die im Wesentlichen kein Diffundieren der sich in dem Source-Bereich und dem Drain-Bereich befindlichen Dotieratome in das umgebende Substrat 103, und besonders in den dazwischen liegenden Kanalbereich 108 hinein zulässt, welche Barrierschicht jedoch ein Tunneln elektrischer Ladungsträger durch sich selbst ermöglicht.

Beispielsweise kann ein thermisches Oxid, ein Nitrid oder eine Kombination aus einem Oxid und einem Nitrid für die Barrierschicht 104 verwendet werden.

Bei dem Abscheiden des für die Barriereschicht 104 verwendeten Materials ist zu beachten, dass die Barriereschicht 104 in ihrem gesamten Verlauf in einer Dicke von 2 nm oder weniger, vorzugsweise sogar nur in einer Dicke von 1 nm oder weniger, gebildet werden sollte.

So wird bei der Barriereschicht 104 allgemein eine derartige Dicke gewährleistet, dass das Tunneln der Ladungsträger aus dem Source-Bereich und aus dem Drain-Bereich stattfinden kann, während jedoch kein Diffundieren der Dotierstoffe aus dem Source-Bereich und/oder Drain-Bereich in das Substrat 103 oder in den zwischen dem Source-Bereich und dem Drain-Bereich liegenden Kanalbereich 108 hinein erfolgt.

Fig.1c zeigt den planaren Feldeffekttransistor gemäß diesem Ausführungsbeispiel der Erfindung im fertiggestellten Zustand.

Oberhalb der in Fig.1b aufgetragenen Barriereschichten 104 beidseitig des Gate-Komplexes 100-102 sind aus Fig.1c zwei Bereiche 105, 109 ersichtlich, die den Source-Bereich 105 bzw. den Drain-Bereich 109 darstellen.

Diese Bereiche 105, 109 werden in bekannter Weise durch Abscheiden von Polysilizium, das in der Regel mit Arsenatomen dotiert ist, gebildet. Die Bereiche 105, 109 sind sehr hoch dotiert, d.h. in der Regel bis zu einer Dichte von 10^{21} As-Atome/cm⁻³. Aufgrund dieser besonders hohen Dotierkonzentration könnte es sehr leicht zu einem unerwünschten Diffundieren dieser Dotieratome kommen, wenn es keine Barriereschicht 104 gäbe.

Mittels bekannter CMP-Verfahren (CMP = Chemical Mechanical Polishing) wird sodann die mit Arsenatomen hochdotierte Polysilizium Schicht geebnet und somit für den nächsten Verfahrensschritt vorbereitet.

Oberhalb des gesamten planaren Feldeffekttransistors wird eine weitere elektrisch isolierende Schicht 106 abgeschieden. Die weitere isolierende Schicht 106 kann aus BPSG (Bor
5 Phosphor Silikat Glas) bestehen, das manchmal als Zwischenoxid, oder „ZOX“ bezeichnet wird. In die weitere isolierende Schicht 106 werden sodann Kontaktlöcher 107 geätzt, die einen Kontakt zwischen der metallischen
Leiterbahn und dem Source-Bereich bzw. dem Drain-Bereich 109
10 bei der anschließenden Metallisierung des planaren Feldeffekttransistors ermöglichen.

Das Ausführungsbeispiel des Verfahrens sowie des planaren Feldeffekttransistors 111, das in Fig.1a bis Fig.1c
15 dargestellt ist, ergibt einen Feldeffekttransistor 111 wie in Fig.1c gezeigt, bei dem die Barrierschicht 104 sowohl neben als auch unter einem Teil der isolierenden Schicht 100 gebildet wird.

20 Im Gegensatz dazu zeigt Fig.2 als ein weiteres Ausführungsbeispiel einen planaren Feldeffekttransistor 212 in fertiggestelltem Zustand, bei dem die Barrierschicht 204 lediglich unter einem Teil der isolierenden Schicht 200, d.h. nicht auch neben der isolierenden Schicht 200, gebildet ist.

25 Bei diesem Ausführungsbeispiel der Erfindung erfolgt der Aufbau des Gate-Komplexes, bestehend aus der isolierenden Schicht 200, dem Gate-Bereich 201 und dem Spacer 202, in analoger Weise wie für Fig.1a obenstehend beschrieben. Auch
30 das Abscheiden des Materials für die Barrierschicht 204 erfolgt in analoger Weise wie für Fig.1a obenstehend beschrieben.

Der in Fig.2 dargestellte planare Feldeffekttransistor 212
35 weist zwei Barrieren 204 sowie einen Source-Bereich 205 und einen Drain-Bereich 206 auf unterhalb der isolierenden Schicht 200 zwischen der isolierenden Schicht 200 und einer

planaren freigelegten Fläche 207. Jeweils eine der beiden Barrieren 204 ist zwischen dem Source-Bereich 205 und dem Kanalbereich 203 sowie zwischen dem Drain-Bereich 206 und dem Kanalbereich 203 angeordnet.

5

Gemäß diesem Ausführungsbeispiel werden die Barrieren 204 mittels einer thermischen Oxidation erzeugt, so dass die Barrieren 204 automatisch in der in Fig.2 dargestellten Form entstehen, weil die planare freigelegte Fläche 207 schon aus dem vergrabenen Oxid des SOI-Ausgangsmaterials besteht.

10

Anschaulich entspricht diese Vorgehensweise dem Bilden eines Ausgangsmaterials eines SOI-Komplexes (Silicon On Insulator).

15

So entsteht im fertiggestellten Zustand des planaren Feldeffekttransistors 212 eine Barrierschicht 204 lediglich zwischen dem Source-Bereich 206 und dem Kanalbereich 203 sowie zwischen dem Drain-Bereich 205 und dem Kanalbereich 203.

20

In anderen Worten ausgedrückt bedeutet dies, dass es in diesem Ausführungsbeispiel der Erfindung keine Barrierschicht 204 zwischen dem Source-Bereich 206 bzw. dem Drain-Bereich 205 und dem Substrat 209 gibt.

25

Es ist anzumerken, dass bei diesem Ausführungsbeispiel der Erfindung das Substrat 209 aus zwei unterteilten Abschnitten 207 und 208 besteht. Hierbei besteht der Substrat-Bereich 208 aus einem leitfähigen Material, wie beispielsweise Silizium, und der Substrat-Abschnitt 207 besteht vorzugsweise aus einem nicht leitfähigen Material, beispielsweise einem Oxid.

30

Die Beschaffenheit des Substrat-Abschnitts 207 als nicht leitfähiges Material verhindert, dass Dotieratome in dem Source-Bereich 205 bzw. dem Drain-Bereich 206 in das darunterliegende Material des Substrats 209 hinein diffundieren, und so den Kanalbereich 203 verunreinigen.

35

Im Gegensatz dazu wäre ein Diffundieren der Dotieratome in dem Source-Bereich 205 bzw. dem Drain-Bereich 206 in den dazwischen liegenden Kanalbereich 203 hinein ohne

5 Barriereschicht 204 sehr wohl möglich, weshalb sich diese Barriereschicht 204 zwischen dem Source-Bereich 206 bzw. dem Drain-Bereich 205 und dem dazwischen liegenden Kanalbereich 203 befindet.

10 Der Aufbau des in Fig.2 dreischichtig ausgestalteten Substrats 209 erfolgt in einfacher Weise vor dem Aufbau des Gate-Komplexes 200-202. Der Aufbau erfolgt ausgehend von einer Siliziumschicht 208, worauf eine nicht leitfähige isolierende Schicht 207 aufgebracht wird und schließlich
15 durch das Aufbringen einer dritten Schicht aus Silizium auf der isolierenden Schicht 207. Nach dem Wegätzen bildet diese dritte Schicht dann den Kanalbereich 203.

Auf den Source-Bereich 205, dem Gate-Komplex 200-202 sowie
20 dem Drain-Bereich 206 wird eine elektrisch isolierende Schicht 210, vorzugsweise aus Siliziumdioxid, aufgebracht, in die in einem weiteren Schritt Kontaktlöcher 211 für Leiterbahnen geätzt werden, die einen Kontakt zwischen der metallischen Leiterbahn und dem Source-Bereich bzw. dem
25 Drain-Bereich 109 bei der anschließenden Metallisierung des planaren Feldeffekttransistors ermöglichen.

Fig.3 zeigt einen weiteren fertiggestellten, planaren Feldeffekttransistor, der mittels des erfindungsgemäßen
30 Verfahrens ausgehend von dem noch nicht fertiggestellten Feldeffekttransistor, der in Fig.1a gezeigt ist, hergestellt wird.

Bei der Herstellung des planaren Feldeffekttransistors in
35 Fig.3 wird nach dem Aufbau des Gate-Komplexes 100-102 auf dem Substrat 103 in Fig.1a (entspricht Gate-Komplex 300-302 bzw. Substrat 307 in Fig.3) die Barriereschicht 304 direkt auf dem

- Substrat 307 gebildet, ohne dass das Substrat 307 im Voraus weggeätzt wird. Die Barrierschicht 304 in Fig.3 wird also ausschließlich neben, d.h. weder ausschließlich unter (vgl. Fig.2) noch unter und neben (vgl. Fig.1c) der Isolierschicht 300 gebildet. Der Source-Bereich 306 bzw. Drain-Bereich 305 des Feldeffekttransistors 309 in Fig.3 kann also direkt auf der Barrierschicht abgeschieden werden, ohne dass es im Voraus eines weiteren Ätzverfahrens bedarf.
- Es ist anzumerken, dass das in Fig.3 gezeigte Ausführungsbeispiel des planaren Feldeffekttransistors 309 gemäß der Erfindung keinen Kanalbereich aufweist, welcher im Gegensatz zu den Ausführungsbeispielen in Fig.1c und in Fig.2, unmittelbar an der Barrierschicht 304 grenzt. Aus Fig.3 ist ersichtlich, dass der Kanalbereich 308 beidseitig um den Abstand 303 von den jeweiligen Barrierschichten 304 entfernt angeordnet ist. Der Abstand 303 ergibt sich aus der Dicke des Spacers 302, der auf der isolierenden Schicht 300 gebildet ist. Die Bereiche 303 unterhalb der isolierenden Schicht 300 liegen außerhalb des durch den Gate-Bereich 301 erzeugten Feldes, so dass bei angelegter Gate-Spannung die Leitfähigkeit der Bereiche 303 gegenüber derjenigen des Kanalbereichs 308, der direkt in dem durch den Gate-Bereich 301 erzeugten Feld liegt, geringer ist.
- Aus diesem Grund ist die Steuerbarkeit des planaren Feldeffekttransistors in Fig.3 von dem Abstand 303 abhängig, wobei ein größerer Abstand 303 zu einer verschlechterten Steuerbarkeit des planaren Feldeffekttransistors 309 führt.
- Bei dem Aufbau des planaren Feldeffekttransistors 309 in Fig.3 ist also verfahrenstechnisch darauf zu achten, dass der auf der isolierenden Schicht 300 gebildete, nicht leitfähige Spacer 302 durch entsprechende Einstellung des zur Bildung dieses Spacers verwendeten Abscheideverfahrens möglichst dünn gebildet wird.

Bevorzugt wird der Spacer in einer Dicke von höchstens 10 nm gebildet, so dass die Abstände 303 klein genug sind, um eine Diffusion von Ladungsträgern durch die weniger gut leitfähigen Bereiche 303 des Substrats 307 beidseitig des

5 Kanalbereichs 308 zu ermöglichen und daher eine gute Steuerbarkeit des planaren Feldeffekttransistors zu gewährleisten.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- 5 [1] T. Kisu, K. Nakazato, Silicon stacked transistor with
source and drain tunnel barriers, Proceedings of the
29th European solid-state device research conference
ESSDERC, S. 532, 1999.
- 10 [2] V.H.C. Watt et al, Ultra-Thin High Quality Oxynitride
Formed by NH₃ Nitridation and High Pressure O₂ Re-
oxidation, Proceedings of the 30th European Solid-State
Device Research Conference (ESSDERC 2000), Cork,
Ireland, 11. - 13. September 2000
- 15 [3] DE 42 12 861 C2
- [4] US 6,091,076

Bezugszeichenliste

100	Isolierende Schicht
101	Gate-Bereich
102	Spacer
103	Substrat
104	Barriereschicht
105	Drain-/Source-Bereich
106	Isolierende Siliziumdioxidschicht
107	Kontaktlöcher für Leiterbahnen
108	Kanalbereich
109	Source-/Drain-Bereich
200	Isolierende Schicht
201	Gate-Bereich
202	Spacer
203	Kanalbereich
204	Barriereschicht
205	Drain-/Source-Bereich
206	Source-/Drain-Bereich
207	Isolierende Substratschicht
208	Leitende Substratschicht
209	Substrat
210	Isolierende Siliziumdioxidschicht
211	Kontaktlöcher für Leiterbahne
300	Isolierende Schicht
301	Gate-Bereich
302	Spacer
303	Abstand
304	Barriereschicht
305	Drain-/Source-Bereich
306	Source-/Drain-Bereich
307	Substrat
308	Kanalbereich

Patentansprüche

1. Verfahren zum Herstellen eines planaren Feldeffekttransistors,

- 5 • bei dem auf einem Substrat eine isolierende Schicht gebildet wird;
- bei dem auf der isolierenden Schicht ein Gate-Bereich gebildet wird;
- 10 • bei dem auf der isolierenden Schicht mindestens ein Spacer gebildet wird;
- bei dem neben der isolierenden Schicht und/oder unter einem Teil der isolierenden Schicht eine Barrierschicht gebildet wird;
- 15 • bei dem auf der einen Seite der isolierenden Schicht ein Source-Bereich abgeschieden wird und auf der anderen Seite der isolierenden Schicht ein Drain-Bereich abgeschieden wird und zwischen dem Source-Bereich und dem Drain-Bereich ein Kanalbereich unterhalb der isolierenden Schicht gebildet wird; und
- 20 • bei dem die Barrierschicht zwischen dem Source-Bereich und dem Kanalbereich und/oder zwischen dem Drain-Bereich und dem Kanalbereich derart gebildet wird, dass im wesentlichen kein Diffundieren der sich in dem Source-Bereich und dem Drain-Bereich befindlichen Dotieratome
- 25 in den Kanalbereich erfolgen kann, jedoch ein Tunneln elektrischer Ladungsträger durch die Barrierschicht in den Kanalbereich und in das Substrat möglich ist.

2. Verfahren gemäß Anspruch 1,

- 30 bei dem für den Fall, dass die Barrierschicht neben und unter einem Teil der isolierenden Schicht gebildet werden soll, das Substrat vor dem Bilden der Barrierschicht neben und teilweise unter der isolierenden Schicht isotrop weggeätzt wird.

35

3. Verfahren gemäß Anspruch 1,

bei dem die Barrierschicht in einer Dicke von 2 nm oder weniger gebildet wird.

4. Verfahren gemäß einem der Ansprüche 1 bis 3,
5 bei dem der Spacer aus SiO_2 gebildet wird, das mittels eines TEOS-, Silanoxid-, LTO-, SACVD-, HTO-, PECVD- oder Dep./Etch-Abscheideverfahrens gebildet wird.
5. Verfahren gemäß Anspruch 4,
10 bei dem der Spacer in einer Dicke von höchstens 50 nm gebildet wird,
6. Verfahren gemäß einem der Ansprüche 1 bis 5,
15 bei dem die Barrierschicht aus einem dielektrischen Material gebildet wird.
7. Verfahren gemäß Anspruch 6,
bei dem die Barrierschicht aus einem Oxynitrid gebildet wird.
- 20 8. Verfahren gemäß Anspruch 6,
bei dem die Barrierschicht aus SiO_2 oder Si_3N_4 gebildet wird.
- 25 9. Planarer Feldeffekttransistor, mit
- einem elektrisch leitenden Substrat,
 - einem abgeschiedenen Drain-Bereich,
 - einem abgeschiedenen Source-Bereich,
 - einem Kanalbereich zwischen dem Drain-Bereich und dem
 - 30 Source-Bereich,
 - einem Gate-Bereich auf der isolierenden Schicht, wobei auf dem Gate-Bereich und auf der isolierenden Schicht mindestens ein Spacer angeordnet ist,
 - einer isolierenden Schicht zwischen dem Gate-Bereich und
 - 35 dem Substrat
 - einer Barrierschicht neben dem Gate-Bereich und/oder unter einem Teil des Gate-Bereichs,

- wobei die Barrierschicht zwischen dem Source-Bereich und dem Kanalbereich und/oder zwischen dem Drain-Bereich und dem Kanalbereich derart ausgestaltet ist, dass im wesentlichen kein Diffundieren der sich in dem Source-Bereich und dem Drain-Bereich befindlichen Dotieratomen in den Kanalbereich erfolgen kann, jedoch ein Tunneln elektrischer Ladungsträger durch die Barrierschicht in den Kanalbereich und in das Substrat möglich ist.
- 10 10. Planarer Feldeffekttransistor gemäß Anspruch 9, bei dem die Barrierschicht dielektrisches Material aufweist.
11. Planarer Feldeffekttransistor gemäß Anspruch 9, bei dem die Barrierschicht Oxynitrid aufweist.
- 15 12. Planarer Feldeffekttransistor gemäß Anspruch 10, bei dem die Barrierschicht SiO_2 oder Si_3N_4 aufweist.
13. Planarer Feldeffekttransistor gemäß einem der Ansprüche 9 bis 12, bei dem die Dicke der Barrierschicht höchstens 2 nm beträgt.
- 20 14. Planarer Feldeffekttransistor gemäß einem der Ansprüche 9 bis 12, bei dem die Dicke der Barrierschicht höchstens 1 nm beträgt.
15. Planarer Feldeffekttransistor gemäß einem der Ansprüche 9 bis 14, bei dem der Spacer SiO_2 aufweist.
- 30 16. Planarer Feldeffekttransistor gemäß einem der Ansprüche 9 bis 15, bei dem die Barrierschicht neben dem Gate-Bereich liegt, wobei die Dicke des Spacers höchstens 50 nm beträgt.

35

1/2

FIG 1a

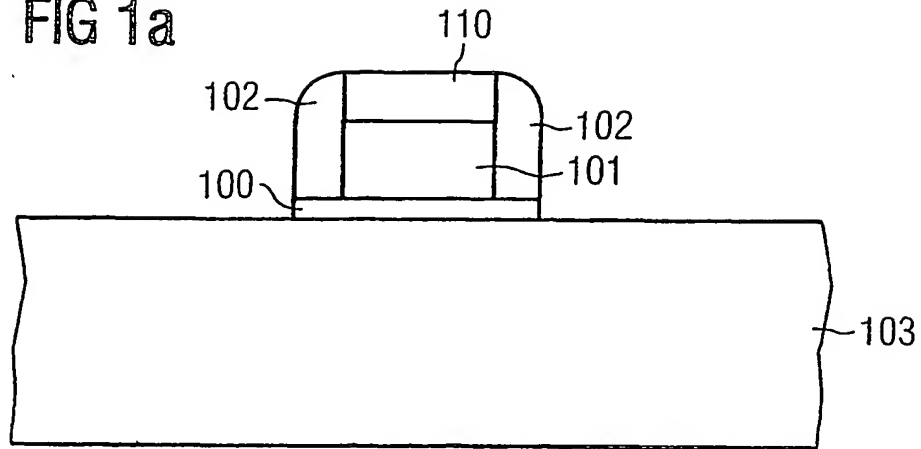


FIG 1b

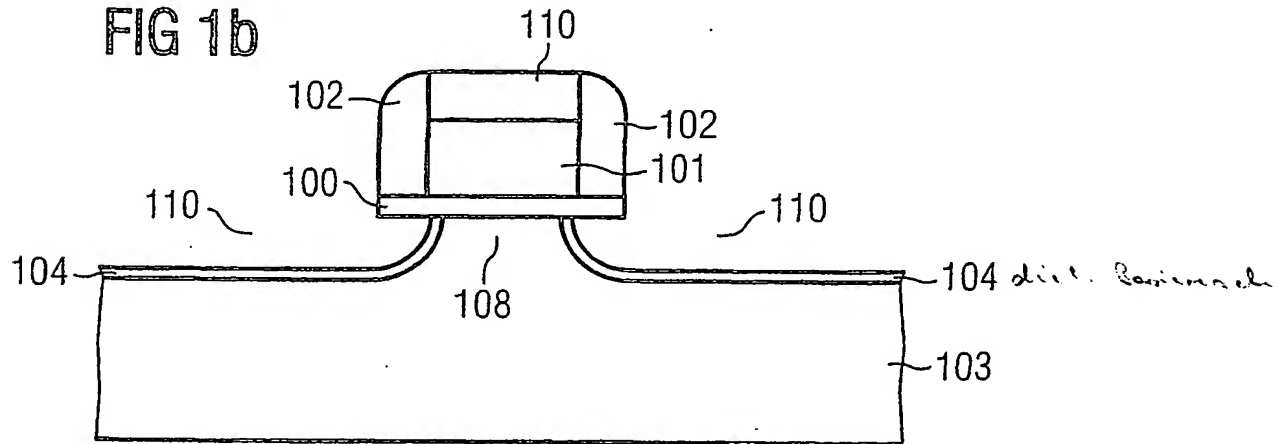
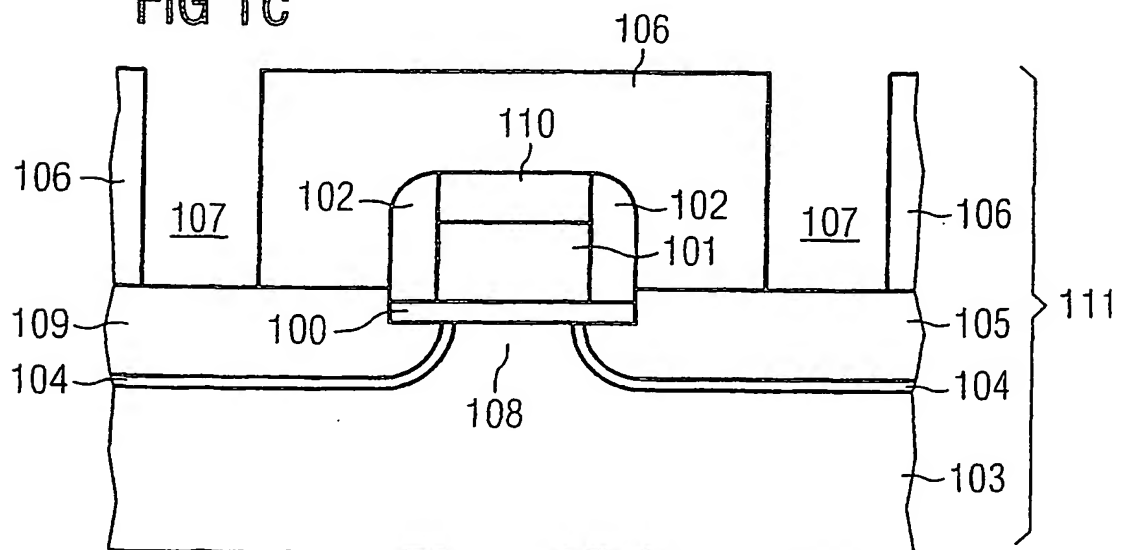


FIG 1c



2/2

FIG 2

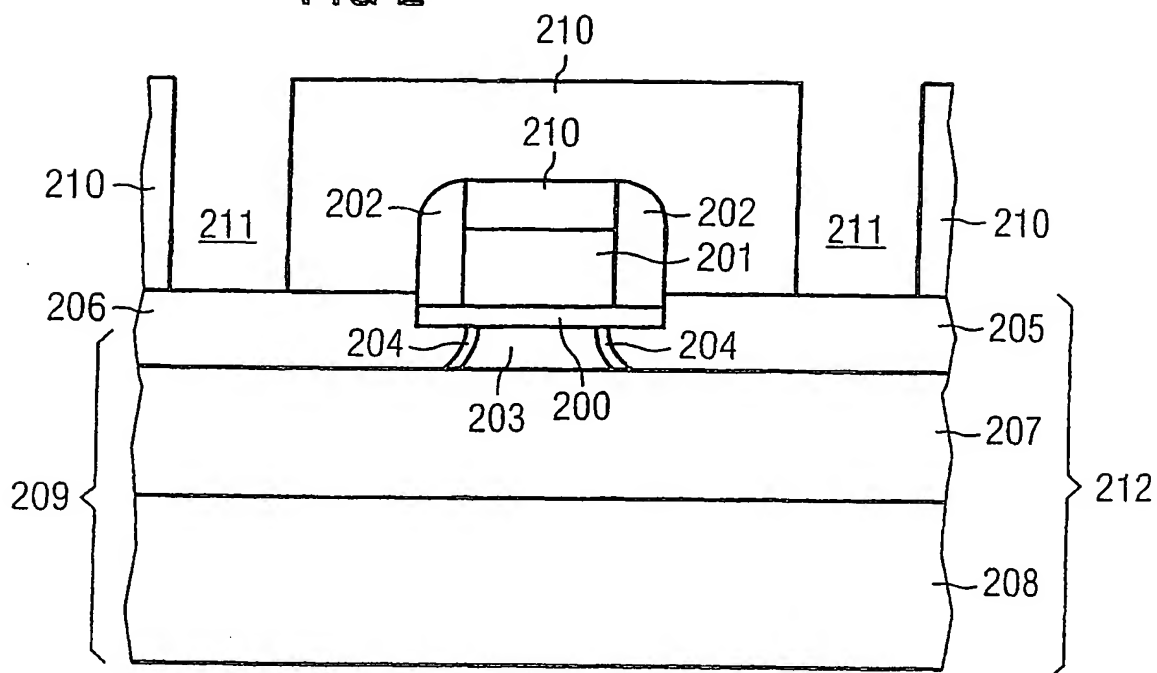
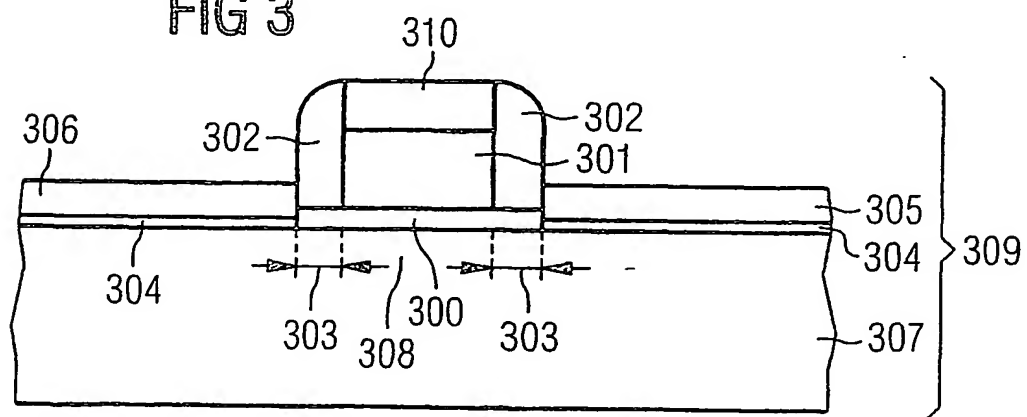


FIG 3





(88) Veröffentlichungsdatum des internationalen
Recherchenberichts:

19. September 2002

*Zur Erklärung der Zweibuchstaben-Codes und der anderen
Abkürzungen wird auf die Erklärungen ("Guidance Notes on
Codes and Abbreviations") am Anfang jeder regulären Ausgabe
der PCT-Gazette verwiesen.*

(57) Zusammenfassung: Ein planarer Feldeffekttransistor weist eine Barrierschicht neben dem Gate-Bereich und/oder unter einem Teil des Gate-Bereichs auf, wobei die Barrierschicht zwischen dem Source-Bereich und dem Kanalbereich und/oder zwischen dem Drain-Bereich und dem Kanalbereich derart ausgestaltet ist, dass im wesentlichen kein Diffundieren der sich in dem Source-Bereich und dem Drain-Bereich befindlichen Dotieratome in den Kanalbereich erfolgen kann, jedoch ein Tunneln elektrischer Ladungsträger durch die Barrierschicht möglich ist.

PCT/DE 01/04358

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/336 H01L29/78 H01L29/08

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 037 605 A (YOSHIMURA HISAO) 14 March 2000 (2000-03-14)	1,3-16
Y	column 3, line 29 -column 5, line 32; figures 5-11	2
Y	---	
Y	US 5 834 793 A (SHIBATA TADASHI) 10 November 1998 (1998-11-10)	2
A	figures 10B,10C,19	9
A	---	
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 359 (E-1574), 6 July 1994 (1994-07-06) -& JP 06 097435 A (HITACHI LTD), 8 April 1994 (1994-04-08) abstract; figure 1	1,9

	-/--	

☒ Further documents are listed in the continuation of box C.☒ Patent family members are listed in annex.

* Special categories of cited documents:

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

27 May 2002

Date of mailing of the international search report

06/06/2002

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3016

Authorized officer

Gélébart, J

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 013, no. 155 (E-743), 14 April 1989 (1989-04-14) -& JP 63 312679 A (FUJITSU LTD), 21 December 1988 (1988-12-21) abstract; figures 1,2 -----	1,9
A	US 5 949 103 A (LEE SANG HYUN) 7 September 1999 (1999-09-07) figure 7 -----	1,9
A	US 6 091 076 A (DELEONIBUS SIMON) 18 July 2000 (2000-07-18) cited in the application figures 30-,14 -----	1,9
A	WATT V.H.C. ET AL: "Ultra thin high quality oxynitride formed by NH ₃ nitridation and high pressure O ₂ reoxidation" ESSDERC 2000; PROCEEDINGS OF THE 30TH EUROPEAN SOLID-STATE DEVICE RESEARCH CONFERENCE, 11 - 13 September 2000, pages 404-407, XP002200208 CORK, IRELAND cited in the application the whole document -----	1,7

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
US 6037605	A	14-03-2000	JP	10116988 A	06-05-1998
US 5834793	A	10-11-1998	JP	1942980 C	23-06-1995
			JP	6066467 B	24-08-1994
			JP	62154668 A	09-07-1987
			JP	2031486 C	19-03-1996
			JP	7063095 B	05-07-1995
			JP	62238667 A	19-10-1987
JP 06097435	A	08-04-1994	NONE		
JP 63312679	A	21-12-1988	NONE		
US 5949103	A	07-09-1999	KR	230799 B1	15-11-1999
			JP	2923768 B2	26-07-1999
			JP	10107267 A	24-04-1998
US 6091076	A	18-07-2000	FR	2749977 A1	19-12-1997
			EP	0852814 A1	15-07-1998
			WO	9748135 A1	18-12-1997
			JP	11510967 T	21-09-1999

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES IPK 7 H01L21/336 L29/78 H01L29/08		
Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK		
B. RECHERCHIERTE GEBIETE Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole) IPK 7 H01L		
Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen		
Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe) EPO-Internal		
C. ALS WESENTLICH ANGESEHENE UNTERLAGEN		
Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 6 037 605 A (YOSHIMURA HISAO) 14. März 2000 (2000-03-14)	1,3-16
Y	Spalte 3, Zeile 29 -Spalte 5, Zeile 32; Abbildungen 5-11	2
Y	US 5 834 793 A (SHIBATA TADASHI) 10. November 1998 (1998-11-10)	2
A	Abbildungen 10B,10C,19	9
A	PATENT ABSTRACTS OF JAPAN vol. 018, no. 359 (E-1574), 6. Juli 1994 (1994-07-06) -& JP 06 097435 A (HITACHI LTD), 8. April 1994 (1994-04-08) Zusammenfassung; Abbildung 1	1,9
	-/--	
<input checked="" type="checkbox"/> Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen <input checked="" type="checkbox"/> Siehe Anhang Patentfamilie		
* Besondere Kategorien von angegebenen Veröffentlichungen : *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist *E* älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt) *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist *T* Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist *X* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderscher Tätigkeit beruhend betrachtet werden *Y* Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderscher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist *Z* Veröffentlichung, die Mitglied derselben Patentfamilie ist		
Datum des Abschlusses der internationalen Recherche 27. Mai 2002		Absenddatum des internationalen Recherchenberichts 06/06/2002
Name und Postanschrift der Internationalen Recherchenbehörde Europäisches Patentamt, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Bevollmächtigter Bediensteter Gélébart, J

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 013, no. 155 (E-743), 14. April 1989 (1989-04-14) -& JP 63 312679 A (FUJITSU LTD), 21. Dezember 1988 (1988-12-21) Zusammenfassung; Abbildungen 1,2 -----	1,9
A	US 5 949 103 A (LEE SANG HYUN) 7. September 1999 (1999-09-07) Abbildung 7 -----	1,9
A	US 6 091 076 A (DELEONIBUS SIMON) 18. Juli 2000 (2000-07-18) in der Anmeldung erwähnt Abbildungen 30-,14 -----	1,9
A	WATT V.H.C. ET AL: "Ultra thin high quality oxynitride formed by NH ₃ nitridation and high pressure O ₂ reoxidation" ESSDERC 2000; PROCEEDINGS OF THE 30TH EUROPEAN SOLID-STATE DEVICE RESEARCH CONFERENCE, 11. - 13. September 2000, Seiten 404-407, XP002200208 CORK, IRELAND in der Anmeldung erwähnt das ganze Dokument -----	1,7

Im Recherchenbericht angeführtes Patentedokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
US 6037605	A	14-03-2000	JP 10116988 A	06-05-1998
US 5834793	A	10-11-1998	JP 1942980 C	23-06-1995
			JP 6066467 B	24-08-1994
			JP 62154668 A	09-07-1987
			JP 2031486 C	19-03-1996
			JP 7063095 B	05-07-1995
			JP 62238667 A	19-10-1987
JP 06097435	A	08-04-1994	KEINE	
JP 63312679	A	21-12-1988	KEINE	
US 5949103	A	07-09-1999	KR 230799 B1	15-11-1999
			JP 2923768 B2	26-07-1999
			JP 10107267 A	24-04-1998
US 6091076	A	18-07-2000	FR 2749977 A1	19-12-1997
			EP 0852814 A1	15-07-1998
			WO 9748135 A1	18-12-1997
			JP 11510967 T	21-09-1999